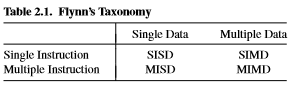
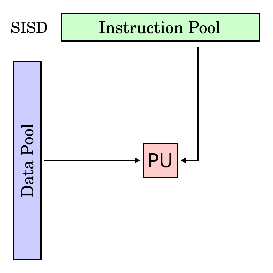
**CLASIFICAIÓN DE FLYNN**

En un artículo frecuentemente referenciado por Flynn, el diseño de una computadora se caracteriza por el flujo de instrucciones y el flujo de datos. La taxonomía se clasifica de acuerdo con la multiplicidad de la instrucción y los flujos de datos. Las cuatro combinaciones posibles resultantes se muestran en la Tabla 2.1.



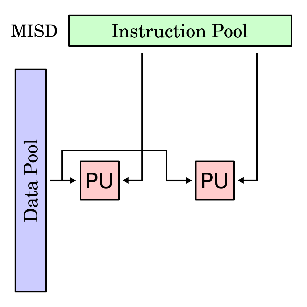
**SISD**

La arquitectura SISD (datos únicos de instrucción única) corresponde a la computadora secuencial convencional. Una instrucción se ejecuta a la vez en un elemento de datos.

[](https://www.google.com.mx/url?sa=i&rct=j&q=&esrc=s&source=images&cd=&cad=rja&uact=8&ved=0ahUKEwik0tWJuKvZAhUT02MKHS-kB84QjRwIBw&url=https://es.wikipedia.org/wiki/SISD&psig=AOvVaw3SGTSRVA-LyTWfVSGv50r2&ust=1518904959350476)

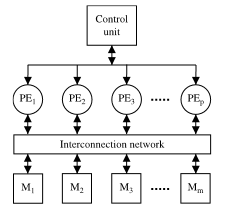
**MISD**

Aunque la combinación MISD (datos únicos de instrucción múltiple) no parece ser significativa, las arquitecturas de tuberías, como se encuentran en todos los procesadores modernos, se pueden considerar MISD.

[](https://www.google.com.mx/url?sa=i&rct=j&q=&esrc=s&source=images&cd=&cad=rja&uact=8&ved=0ahUKEwi0kZbDt6vZAhVI6mMKHTIDAaUQjRwIBw&url=https://es.wikipedia.org/wiki/MISD&psig=AOvVaw2YnRwCSoyFEHClPJU35WbC&ust=1518904809016097)

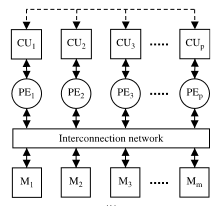
**SIMD**

En las arquitecturas SIMD (datos múltiples de instrucción única), que también se denominan arquitecturas de datos paralelas o vectoriales, los elementos de procesamiento múltiple (PE) ejecutan la misma instrucción en diferentes elementos de datos. La figura muestra la estructura SIMD con una unidad central de control y múltiples elementos de procesamiento. La unidad de control central emite el mismo flujo de instrucciones a cada PE, que funciona en su propio conjunto de datos. Especialmente para cálculos regulares del área de ciencia e ingeniería (por ejemplo, procesamiento de señal), donde los cálculos pueden expresarse como operaciones vectoriales y de matriz, la arquitectura SIMD está bien adaptada. Hay solo algunos ejemplos de sistemas que tienen una arquitectura SIMD pura, por ejemplo, las primeras máquinas vectoriales (p. Ej., La Cray-1 o la Hitachi S-3600). Hoy en día, la arquitectura SIMD se encuentra dentro de un mismo procesador, eso es, un chip que consiste en una unidad de control central junto con múltiples elementos de procesamiento. Además, la mayoría de las arquitecturas actuales de procesadores principales incluyen una unidad de procesamiento SIMD, por ejemplo, la unidad MMX / SSE en la línea de procesadores Intel Pentium o la unidad AltiVec en la arquitectura del procesador PowerPC. La segunda arquitectura paralela en la taxonomía tiene flujos.



**MIMD**

MIMD (datos múltiples de instrucción múltiple), representados en la Figura 2.1 (b). A diferencia de la estructura SIMD, cada PE tiene su propia unidad de control (CU). Por lo tanto, los elementos del procesador funcionan independientemente de cada uno y ejecutar instrucciones independientes en diferentes flujos de datos. Una ejecución paralela de una tarea global (es decir, la colaboración de los elementos de procesamiento) se logra a través de la sincronización y el intercambio de datos entre los PE a través de la red de interconexión. Ejemplos de arquitecturas MIMD se dan en la siguiente discusión de arquitecturas de memoria.

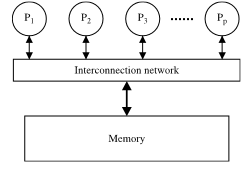


OTRAS CLASIFICACIONES

**UMA**

En un multiprocesador de memoria centralizada, ilustrado en la Figura, la memoria está organizada como un recurso central para todos los procesadores. Esto normalmente da como resultado una característica de acceso a memoria uniforme (UMA), donde el tiempo de acceso a cualquier ubicación de memoria es idéntico para cada procesador. Como todos los procesadores pueden acceder a la memoria común, estos sistemas se denominan multiprocesadores de memoria compartida centralizada. Debido a la característica UMA, los sistemas con esta arquitectura también se denominan a menudo multiproce

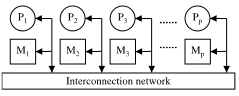
sadores simétricos (SMP).



**NUMA**

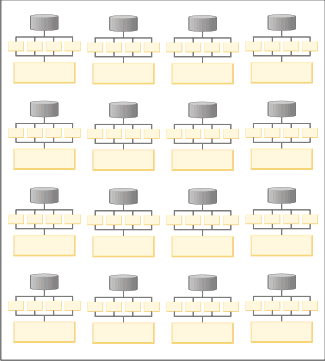
La alternativa a una arquitectura centralizada es una arquitectura donde la memoria se distribuye físicamente con los procesadores. Estos sistemas se pueden distinguir aún más según su política de acceso a la memoria.

Un multiprocesador de memoria compartida, integra las memorias distribuidas en un espacio de direcciones global. Cada procesador tiene acceso completo a la memoria; sin embargo, en general con una característica de acceso a la memoria no uniforme (NUMA), como lectura o escritura en, la memoria local es más rápida que desde y hacia la memoria remota. Los sistemas sin memoria compartida se denominan multiprocesadores de memoria distribuida o, de acuerdo con la forma en que los procesadores se comunican, las arquitecturas de paso de mensajes. La Figura muestra un multiprocesador de memoria distribuida sin memoria compartida. La diferencia con el multiprocesador de memoria compartida distribuida es que las memorias locales solo son accesibles a través de los procesadores respectivos.



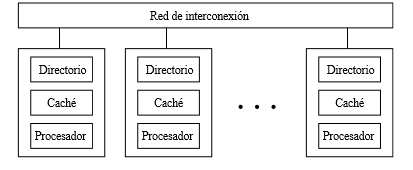
**MPP**

Un procesador paralelo masivo (MPP) es un solo equipo con varios procesadores conectados en red. Tienen muchas de las características del clúster, pero cuentan con redes especializadas de interconexión en tanto que los clústeres utilizan hardware estándar para la creación de rede Los MPPs también tienden a ser más grandes que los clústeres, con mucho más de 100 procesadores. En un MPP, «cada CPU tiene su propia memoria y una copia del sistema operativo y la aplicación. Cada subsistema se comunica con los demás a través de una interconexión de alta velocidad.

[](https://www.google.com.mx/url?sa=i&rct=j&q=&esrc=s&source=images&cd=&cad=rja&uact=8&ved=0ahUKEwiB3KjSvqvZAhUQ4GMKHZj1AGcQjRwIBw&url=https://www.ibm.com/support/knowledgecenter/es/SSZJPZ_9.1.0/com.ibm.swg.im.iis.productization.iisinfsv.install.doc/topics/wsisinst_pln_engscalabilityparallel.html&psig=AOvVaw12IXjg0bxzDW2G1HjeE824&ust=1518906687785764)

**COMA**

(Cache Only Memory Access) Un multiprocesador que sólo use caché como memoria es considerado de tipo COMA. La ﬁgura muestra el modelo COMA de multiprocesador. En realidad, el modelo COMA es un caso especial del NUMA donde las memorias distribuidas se convierten en cachés. No hay jerarquía de memoria en cada módulo procesador. Todas las cachés forman un mismo espacio global de direcciones. El acceso a las cachés remotas se realiza a través de los directorios distribuidos de las cachés. Dependiendo de la red de interconexión empleada, se pueden utilizar jerarquías en los directorios para ayudar en la localización de copias de bloques de caché. El emplazamiento inicial de datos no es crítico puesto que el dato acabará estando en el lugar en que se use más.



**Ejemplo:**

#include <mpi.h>

#include <stdio.h>

int main(int argc, char \*argv[])

{

int lnom;

char nombrepr[MPI\_MAX\_PROCESSOR\_NAME];cat circu

int pid, npr;

int A = 2; *// identificador y numero de proc.*

MPI\_Init(&argc, &argv);

MPI\_Comm\_size(MPI\_COMM\_WORLD, &npr);

MPI\_Comm\_rank(MPI\_COMM\_WORLD, &pid);

MPI\_Get\_processor\_name(nombrepr, &lnom);

A = A + 1;

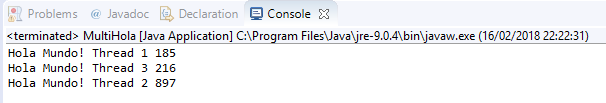
printf(" >> Proceso %2d de %2d activado en %s, A = %d**\n**", pid, npr, nombrepr, A);

MPI\_Finalize();

**return** 0;

}

**EJECUCIÓN**



**CONCLUSIONES**

Con este trabajo, podemos concluir que en la clasificación de Flynn toma como base el manejo de instrucciones y el manejo de los datos, que van desde simples hasta múltiples; de acuerdo a la memoria que van desde que sea uniforme o que no lo sea; y, por último, de acuerdo a los multiprocesadores, que usan varios de estos o usan la memoria caché.